

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **62-033393**

(43)Date of publication of application : **13.02.1987**

(51)Int.Cl.

**G11C 11/40**

(21)Application number : **60-171853**

(71)Applicant : **NISSAN MOTOR CO LTD**

(22)Date of filing : **06.08.1985**

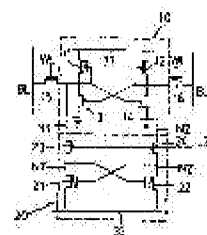
(72)Inventor : **IKEDA HIROSHI**

## (54) SEMICONDUCTOR NON-VOLATILE MEMORY DEVICE

### (57)Abstract:

**PURPOSE:** To constitute a non-volatile memory part without using many capacitors by connecting a drain and a gate to the other gate and the other drain in two terminals and connecting respective drains of a pair of MOS transistors having floating gates in a gate insulating film to commonly connect a source.

**CONSTITUTION:** A non-volatile memory part 20 consists of a pair of MOS transistors 21, 22 in which one gate is connected to the other drain respectively and a thin film floating gate for holding an electric charge in a gate insulating film is provided. The drains of the pair of MOS transistors 21, 22 are connected to writing and reading lines of a memory cell 10 for RAM through high voltage- proof connecting MOS transistors 23, 24. The MOS transistors 21, 22 are high potential proof so as to endure high potential, respectively. Thereby, the constitution of the circuit can be simplified without requiring many capacitors.



## ⑫ 公開特許公報(A) 昭62-33393

⑮ Int.Cl.<sup>4</sup>

G 11 C 11/40

識別記号

1 0 1

庁内整理番号

7230-5B

⑬ 公開 昭和62年(1987)2月13日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体不揮発性メモリ装置

⑰ 特 願 昭60-171853

⑱ 出 願 昭60(1985)8月6日

⑲ 発 明 者 池 田 博 横浜市神奈川区宝町2番地 日産自動車株式会社内

⑳ 出 願 人 日産自動車株式会社 横浜市神奈川区宝町2番地

㉑ 代 理 人 弁理士 三好 保男 外1名

## 明 細 書

## 1. 発明の名称

半導体不揮発性メモリ装置

## 2. 特許請求の範囲

高電圧レベルと低電圧レベルをそれぞれ2個の端子にラッチするスタティック形RAM用メモリセルに対し、前記2個の端子に、一方のドレインとゲートがそれぞれ他方のゲートとドレインに接続され、ゲート絶縁膜中に電荷を保持する為のフローティングゲートを有する一対のMOSトランジスタの各ドレインを接続し、この2個のMOSトランジスタのソースを共通に接続して成る半導体不揮発性メモリ装置。

## 3. 発明の詳細な説明

(発明の技術分野)

この発明は、不揮発性メモリ部を備えた半導体RAMメモリ装置に関する。

(発明の技術的背景及びその問題点)

従来の不揮発性メモリ部を備えた半導体RAMメモリ装置としては、特開昭55-101192

号公報に記載のものがある。この従来の半導体不揮発性メモリ装置は、バイステابلフリップフロップ(F.F.)回路によるスタティック形RAM用メモリセルに対し、読み出し、書き込み用バストランジスタと幾つかのキャパシタとの不揮発性メモリ部を備えている。そして、電源OFF時にはキャパシタの容量分割によりバストランジスタの閾値電圧 $V_{TH}$ を変化させ、RAM用メモリセルの内容を不揮発性メモリ部に書き込み、逆に電源ON時にはこの不揮発性メモリ部よりデータをRAM用メモリセルに回復する構成をとっている。

ところが、このような従来の半導体不揮発性メモリ装置の場合、多数のキャパシタの容量分割により電位を決めることによりメモリ部に書き込みを行ない、ノードに接続される容量の大小関係で電源ON時の読み出しを行なうので、各種キャパシタを設計するのが複雑であり、またスタティック形RAM用メモリセルの設計も容量のアンバランスを考慮に入れるためにむずかしいものとなり、

さらに多数のキャパシタを含むためにメモリセルの面積の節減が図りにくい問題があった。

(発明の目的)

この発明は、このような従来の問題に鑑みてなされたもので、スタティック形RAM用メモリセルの端子に一方のドレインと他方のゲートとがそれぞれ接続された一対の薄膜フローティングゲート形MOSトランジスタを接続し、この一対の薄膜フローティングゲート形MOSトランジスタの閾値電圧の変化によりRAM用メモリセルの内容を不揮発性メモリ部に書き込み、またこの閾値電圧から不揮発性メモリ部の内容をスタティック形RAM用メモリセルに読み出すようにし、多数のキャパシタを用いることなく不揮発性メモリ部を構成することを目的とする。

(発明の構成)

この発明は、高電圧レベルと低電圧レベルをそれぞれ2個の端子にラッチするスタティック形RAM用メモリセルに対し、前記2個の端子に、一方のドレインとゲートがそれぞれ他方のゲートと

ドレインに接続され、ゲート絶縁膜中に電荷を保持する為のフローティングゲートを有する一対のMOSトランジスタの各ドレインを接続し、この2個のMOSトランジスタのソースを共通に接続して成る半導体不揮発性メモリ装置である。

(発明の実施例)

以下、この発明の実施例を図に基づいて詳説する。第1図に示すようにスタティック形RAM用メモリセル10は、高耐圧化されたバイステーブルF.F.回路によって構成され、一対のディブリーション形MOSトランジスタ11、12、一対のエンハンスメント形MOSトランジスタ13、14を有する。またこのRAM用メモリセル10の読み出し、書き込み用高耐圧バストランジスタ15、16がビット線BL、 $\overline{BL}$ とこのメモリセル10との間に接続されている。上記各バストランジスタ15、16のゲートはワード線WLに接続されている。

不揮発性メモリ部20は、一方のゲートが他方のドレインにそれぞれ接続(クロスカップル)さ

れ、ゲート絶縁膜中に電荷を保持する為の薄膜フローティングゲートを有する一対のMOSトランジスタ21、22により構成されており、該一対のMOSトランジスタ21、22のドレインは各々高耐圧性の接続用MOSトランジスタ23、24を介してRAM用メモリセル10の書き込み、読み出しラインに接続されている。ここでMOSトランジスタ21、22はそれぞれ高電位に耐えられるよう高耐圧化されている。

又、前記RAM用メモリセル10は電源線31に接続され、不揮発性メモリ部20の接続用MOSトランジスタ23、24のゲートはコントロール線32に接続され、薄膜フローティングゲート形MOSトランジスタ21、22のソースは共にコントロール線33に接続されている。

上記構成の半導体不揮発性メモリ装置の動作を次に説明する。

第2図に示すように、電源線31に通常電圧 $V_{cc}$ が印加されているON状態では、コントロール線32の電位を0Vとすることにより、不揮発性

メモリ部20はスタティック形RAM用メモリセル10から切離され、メモリセル10は通常のバイステーブルF.F.回路として動作を続ける。

電源OFF時には不揮発性メモリ部20に書き込みが行なわれる。それには、まず電源線31とコントロール線32の電位を所定時間T高電位 $V_{pp}$ (18~25V)、又コントロール線33の電位をフローティング状態とすることにより、スタティック形RAM用メモリセル10の記憶データに従ってノード $N1(N1')$ 、 $N2(N2')$ 電位が決定される。すなわち、通常RAM動作において、例えば $N1$ が $V_{cc}$ 、 $N2$ が0Vの場合、 $N1'$ は $V_{pp}$ 、 $N2'$ は0Vとなる。この結果、MOSトランジスタ21のゲートに0V、ドレインに $V_{pp}$ が加わり、電子がそのフローティングゲートより薄膜を通じてドレインに流れ、このMOSトランジスタ21の閾値電圧 $V_{TH}$ が下がる。

他方、MOSトランジスタ22については、そのゲートに $V_{pp}$ 、ドレインに0Vが加わり、電子がフローティングゲートに注入され、閾値電位 $V$

$V_{TH}$  上がる。

このようにして、RAM用メモリセル10の記憶内容は不揮発性メモリ部20にMOSTランジスタ21、22の閾値電圧の差として書き込まれる。

次にRAM用メモリセル10の電源が回復した場合は、電源線31、コントロール線32、33の電位を $V_{cc}$ (コントロール線32は所定時間後0Vとなる)とすることにより、閾値電圧 $V_{TH}$ が高くなったMOSTランジスタ22はOFF、 $V_{TH}$ が低いMOSTランジスタ21はONとなり、ノードN1を $V_{cc}$ 、ノードN2を0Vにし、元のデータをRAM用メモリセル10に回復させることができる。

したがって、この不揮発性メモリ装置では、電源ON時にはRAM用メモリセル10がスタティックにRAM動作を行ない、電源OFF時には不揮発性メモリ部20がRAM用メモリセル10の記憶内容を書き込み、不揮発性メモリとして保持しておくことができる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例の回路図、第2図は上記回路の動作を示す電圧波形図である。

- 10…スタティック形RAM用メモリセル
- 11, 12…ディブリーション形MOSTランジスタ
- 13, 14…エンハンスメント形MOSTランジスタ
- 15, 16…高耐圧バスタランジスタ
- 20…不揮発性メモリ部
- 21, 22…薄膜フローティングゲートを有するMOSTランジスタ
- 23, 24…高耐圧バスタランジスタ
- 31…電源線
- 32, 33…コントロール線

特許出願人 日産自動車株式会社

代理人 弁理士 三好保男



尚、この発明の実施例に使用する素子のチャネルを変更することは勿論、この発明の技術的範囲に含まれる。またスタティック形RAM用メモリセル10は、抵抗素子とエンハンスメント形MOSTランジスタから成る通常のF.F.回路によって構成することも可能であり、限定されない。(発明の効果)

この発明はスタティック形RAM用メモリセルに不揮発性メモリ部を接続しているの、スタティックにRAM動作できるのは勿論のこと、電源OFF時には不揮発性メモリとしてデータの保持ができる。しかも、一方のドレインとゲートとがそれぞれ他方のゲートとドレインとに接続され、ゲート絶縁膜中に電荷を保持するためのフローティングゲートを有する一対のMOSTランジスタを用いているために従来のように多数のキャパシタを必要とせず、回路構成が簡略化できてメモリセルの面積の節減が可能となるとともに製造時のバラツキに対しても信頼性を高くすることができ

